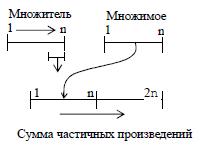
1. **Алгоритм умножения чисел с ФЗ первым способом в прямом коде**



**Разрядность регистров:**

* Множителя и множимого – n;
* Суммы частичных произведений – 2n;

Множимое следует прибавлять в старшие n разрядов регистра суммы частичных произведений.

**Особенность 1 способа**:

в цикле умножения возможно временное переполнение разрядной сетки(ПРС) в регистре суммы частичных произведений,которое ликвидируется при очередном сдвиге вправо.

**Алгоритм**

1. Определить знак произведения путем сложения по модулю два знаковых разрядов сомножителей.

2. Проверить множимое на равенство нулю: если равно нулю, операцию умножения следует прекратить, т.к. результат будет также равным нулю.

3. Проверить множитель на равенство нулю: если равен нулю, операцию умножения следует прекратить, т.к. результат будет также равным нулю.

4. Выполнить цикл умножения по следующим правилам:

4.1. произвести анализ очередного разряда множителя.

4.2. Произвести суммирование множимого с суммой частичных произведений (ЧП), если цифра множителя «1», иначе перейти к п.5 алгоритма.

5. Произвести сдвиг множителя и суммы ЧП на один разряд вправо.

6. Присвоить модулю произведения знак из п.1 данного алгоритма.

**2. Схема операционного автомата**

При выборе операционных блоков необходимо помнить, что основная цель курсовой работы – **минимизация аппаратурных затрат.** Но чрезмерное упрощение ОА часто влечет существенное усложнение УА (и замедление), поэтому должен быть достигнут некий компромисс.

**Будем руководствоваться следующими соображениями:**

* Из описания 1 способа следует, что регистр суммы ЧП (и, как следствие, сумматор) имеет двойную разрядность. НО, поскольку выходная шина имеет разрядность n, то младшие разряды произведения округляются, поэтому не имеет смысла хранить их и можем сократить разрядность суммы частичных произведений и сумматора до n.
* Так как возможно временное ПРС, то в сумматоре должен быть либо разряд переноса, либо дополнительный бит (последнее предпочтительно, т.к. экономя один бит мы не выигрываем в аппаратуре, но усложняем логику сумматора).
* Если один из операндов равен нулю, то и знак результата должен быть равен нулю, вне зависимости от знака второго операнда.

Операционный автомат **должен обеспечивать** (следует из словесного описания алгоритма):

* Хранение операндов и суммы ЧП
* Определение знака произведения
* Проверку операндов на равенство нулю и выдачу нулевого результата, если один из сомножителей равен нулю
* Исключение возникшего временного ПРС
* Суммирование множимого и суммы ЧП
* Сдвиг множителя и суммы ЧП
* Подсчет количества циклов умножения

С учетом сказанного, операционный автомат должен содержать:

* 31-разрядный сдвиговый регистр RG1 для хранения модуля множителя;
* D-триггер T для хранения знака множителя;
* 32-разрядный регистр RG2 для хранения множимого со знаком;
* 32-разрядный регистр RG3 для хранения модуля суммы ЧП (дополнительный старший бит отводится для возможности исключения временного ПРС);
* 6-разрядный инкрементный счетчик тактов CT;
* 32-разрядный сумматор SM;
* 31-разрядную схему «ИЛИ» с прямым и инверсным выходами для проверки операндов на равенство нулю (обратить внимание, что **одна** схема будет использоваться для поочередной проверки обоих операндов);
* Элементы «XOR» и «И» для определения знака результата;
* Усилитель-формирователь для выдачи результата на ШИВых.

Из УА в ОА необходимо подать следующие **управляющие сигналы**:

|  |  |
| --- | --- |
| Сигнал | Микрооперация |
| y0 | запись в RG1,  запись знака множителя в T,  обнуление RG3,  обнуление CT |
| y1 | запись в RG2, |
| y2 | запись в CT |
| y3 | сдвиг RG1 вправо RG1:=R1(RG1),  сдвиг RG3 вправо RG3:= R1(RG3),  СТ: = СТ+1 |
| y4 | запись в RG3 |
| y5 | выдача результата |

Из ОА в УА необходимо передать следующие **осведомительные сигналы**:

|  |  |
| --- | --- |
| Сигнал | Логическое условие (состояние ОА) |
| Х | проверка наличия операндов на ШИВх |
| P1 = 1 | один из операндов равен нулю |
| P2 = 1 | необходимо выполнять сложение суммы ЧП и множимого |
| P3 = 1 | цикл умножения завершен |
| Z | проверка возможности выдачи результата на ШИВых |

С учетом изложенного, схема ОА представлена на рисунке 1 (**обратить внимание**, что разработка схемы ОА должна вестись одновременно и в тесной взаимосвязи с разработкой содержательной ГСА).



Рисунок 1 – Схема операционного автомата

**3. Содержательная ГСА**



Рисунок 2 – Содержательная ГСА